

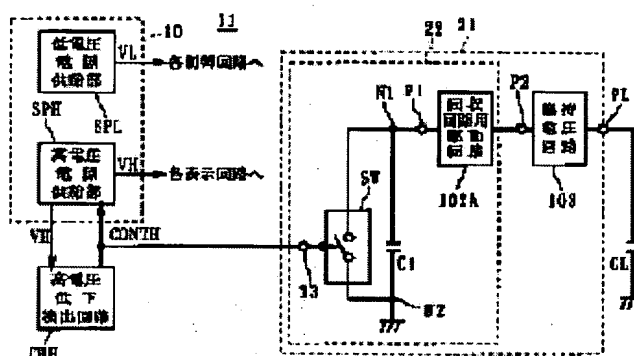
DRIVING CIRCUIT FOR PLASMA DISPLAY PANEL AND PLASMA DISPLAY DEVICE

Patent number: JP2000148082
Publication date: 2000-05-26
Inventor: WATABE KAZUYOSHI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
 - international: G09G3/28; G09G3/20; H04N5/66
 - european:
Application number: JP19980323391 19981113
Priority number(s): JP19980323391 19981113

Report a data error here

Abstract of JP2000148082

PROBLEM TO BE SOLVED: To avoid spread of a failure by stopping supplying a high voltage and letting a recovering condenser discharge the electric charges accumulated therein when the failure occurs on a plasma display device. **SOLUTION:** An X-common driver 21 connected with a capacitance component CL of a PDP is provided with a reactive power recovering circuit 22, and a switching element SW is connected in parallel with a recovering condenser C1 in the circuit 22. A state signal CONTH from a high voltage drop detector CHH is inputted to a control terminal 23 of the switching element SW. When the circuit CHH judges that at least one of the high voltages VH is lower than a prescribed voltage value, and generates and outputs the state signal CONTH based on the result of the judgment, the driving circuit of the high voltage power source supply part SPH is properly controlled and stops supplying the high voltage power supply to each display circuit, and the switching element SW is controlled to be ON-state and discharges the electric charges accumulated in the recovering condenser C1.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-148082

(P2000-148082A)

(43) 公開日 平成12年5月26日 (2000.5.26)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/28		G 0 9 G 3/28	E 5 C 0 5 8
3/20	6 1 1		6 1 1 A 5 C 0 8 0
	6 2 1		6 2 1 G
	6 2 4		6 2 4 P
	6 7 0		6 7 0 D

審査請求 未請求 請求項の数10 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平10-323391

(22) 出願日 平成10年11月13日 (1998. 11. 13)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 渡部 一喜

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム(参考) 5C058 AA11 BA01 BA33 BB25

5C080 AA05 BB05 DD14 DD19 DD26

EE29 FF12 GG12 HH02 HH04

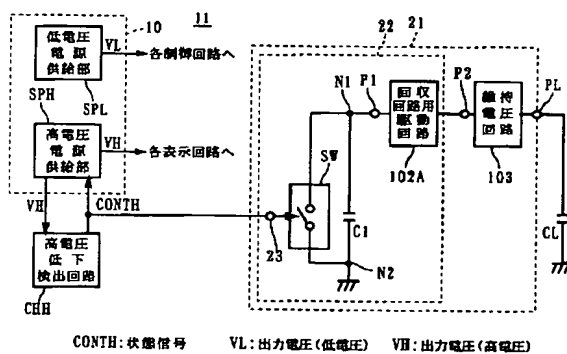
JJ02 JJ03

(54) 【発明の名称】 プラズマディスプレイパネル用駆動回路及びプラズマディスプレイ装置

(57) 【要約】

【課題】 プラズマディスプレイ装置の不具合発生時に、高電圧の供給を停止し且つ回収コンデンサに蓄積している電荷を放出させて、不具合の波及を回避する。

【解決手段】 PDPの容量成分CLに接続されたX共通ドライバ21は無効電力回収回路22を備え、回路22内の回収コンデンサC1に並列にスイッチング素子SWが接続されている。スイッチング素子SWの制御端子23に高電圧低下検出回路CHHからの状態信号CONTHが入力される。回路CHHが高電圧VHの内の少なくとも1つが所定の電圧値よりも低下している状態であると判定して、その判定結果に基づく状態信号CONTHを生成・出力するときには、高電圧電源供給部SPHの駆動回路は適切に制御されて各表示回路への高電圧電源の供給を停止し、且つ、スイッチング素子SWはON状態に制御されて回収コンデンサC1に蓄積されている電荷を放出する。



【特許請求の範囲】

【請求項 1】 所定の間隔を保って互いに平行に配設された一対の第 1 電極及び第 2 電極を有し、前記第 1 電極及び前記第 2 電極に直交する方向に配設された第 3 電極を有するプラズマディスプレイパネルを駆動するための駆動回路であって、

その一端が前記第 1 電極乃至第 3 電極の内の少なくともいずれか一つの電極側に接続されると共に、その他端が接地されて、前記プラズマディスプレイパネルの容量成分との間でエネルギーの回収及び放出を行うコンデンサと、

前記コンデンサに並列に接続され、その主経路の導通又は非導通を制御する制御端子を有するスイッチング素子とを備えることを特徴とする、プラズマディスプレイパネル用駆動回路。

【請求項 2】 請求項 1 に記載のプラズマディスプレイパネル用駆動回路であって、

前記スイッチング素子に直列に接続されて、前記スイッチング素子と共に前記コンデンサの両端子間に並列に接続された電流制限素子を更に備えることを特徴とする、プラズマディスプレイパネル用駆動回路。

【請求項 3】 請求項 2 に記載のプラズマディスプレイパネル用駆動回路であって、

前記電流制御素子は抵抗であることを特徴とする、プラズマディスプレイパネル用駆動回路。

【請求項 4】 請求項 1 乃至 3 のいずれかに記載のプラズマディスプレイパネル用駆動回路であって、

前記スイッチング素子は半導体装置で構成されることを特徴とする、プラズマディスプレイパネル用駆動回路。

【請求項 5】 請求項 1 乃至 3 のいずれかに記載のプラズマディスプレイパネル用駆動回路であって、

前記スイッチング素子は電磁開閉器であることを特徴とする、プラズマディスプレイパネル用駆動回路。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載の前記プラズマディスプレイパネル用駆動回路と、

少なくとも所定の間隔を保って配置された一対の第 1 電極及び第 2 電極を有するプラズマディスプレイパネルと、

高電圧電源供給部と低電圧電源供給部とから成る電源回路と、

所定の信号に基づいて制御信号を生成して、当該制御信号を前記スイッチング素子の前記制御端子と前記高電圧電源供給部の駆動回路とに出力する制御回路とを備えることを特徴とする、プラズマディスプレイ装置。

【請求項 7】 請求項 6 に記載のプラズマディスプレイ装置であって、

前記所定の信号とは高電圧電源供給部からの出力電圧であり、

前記制御回路は、前記出力電圧が正常値であるか否かを判定して、当該判定に基づく前記制御信号を生成して出

力することを特徴とする、プラズマディスプレイ装置。

【請求項 8】 請求項 6 に記載のプラズマディスプレイ装置であって、

前記所定の信号とは低電圧電源供給部からの出力電圧であり、

前記制御回路は、前記出力電圧が正常値であるか否かを判定して、当該判定に基づく前記制御信号を生成して出力することを特徴とする、プラズマディスプレイ装置。

【請求項 9】 請求項 6 に記載のプラズマディスプレイ装置であって、

前記所定の信号とは入力映像信号及び入力同期信号であり、

前記制御回路は、前記入力映像信号と前記入力同期信号との少なくとも一方が欠落しているか否かを判定して、当該判定に基づく前記制御信号を生成して出力することを特徴とする、プラズマディスプレイ装置。

【請求項 10】 請求項 6 乃至 9 のいずれかに記載のプラズマディスプレイ装置であって、

前記制御回路から出力される前記制御信号に基づいて、前記高電圧電源供給部からの前記出力電圧の供給が停止されると共に前記スイッチング素子が導通状態に制御されることを特徴とする、プラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、プラズマディスプレイ装置の駆動回路に関するものであり、特に、駆動回路内に設けられる無効電力回収回路に関する。

【0002】

【従来の技術】図 10 は、従来のプラズマディスプレイ装置 20 の全体の構成を示すブロック図である。かかる構成は例えば特開平 9-97034 号公報の図 6 において従来技術として開示される。図 10 において、プラズマディスプレイ装置が備えるプラズマディスプレイパネル（以下、「PDP」とも呼ぶ）30 は、平行に配置された n 本の行電極 $X_1 \sim X_n$ （以下、「行電極 X_i 」（ $i: 1 \sim n$ ）とも呼ぶ）と、当該行電極 $X_1 \sim X_n$ のそれぞれと対を成して互いに平行に配置された行電極 $Y_1 \sim Y_n$ （以下、「行電極 Y_i 」（ $i: 1 \sim n$ ）とも呼ぶ）と、上記行電極 X_i 、 Y_i と所定の間隔を保って垂直を成す方向に配置された m 本のアドレス電極 $A_1 \sim A_m$ （以下、「アドレス電極 A_j 」（ $j: 1 \sim m$ ）とも呼ぶ）とを有する交流型 PDP である。このとき、行電極 X_i 、 Y_i 及びアドレス電極 A_j との立体交差にする箇所において 1 つの発光セルないしは放電セル 30C を形成している。

【0003】更に、図 10 において、電源回路 10 は、それぞれが所定の電圧値を有する電圧 V_w 、 V_a 、 V_d 、 V_{cc} 、 V_s 、 $(-V_y)$ 、 $(-V_{sc})$ を生成して各回路又は部品に出力する。なお、電圧 V_{cc} は論理回路用の低電圧であり、電源回路 10 中の低電圧電源供

給部(図示せず)から供給される。また、例えば、対を成す行電極 X_i 、 Y_i 間及びアドレス電極 A_j と行電極 Y_i との間の各放電開始電圧が290V、180Vである場合、電圧(維持放電電圧) $V_s=180V$ 、電圧 $V_a=50V$ 、電圧 $V_{sc}=100V$ 、電圧 $V_{cc}=5V$ 、電圧 $V_d=15V$ である(上記の特開平9-97034号公報参照)。制御回路27は、アナログの複合映像信号から分離されてデジタル変換された表示データDATAをアドレスドライバ23に供給すると共に、ドットクロックCLK及び上記アナログの複合映像信号から分離されてデジタル変換された垂直同期信号VSYNC、水平同期信号HSYNCに基づいて所定の制御信号を生成して、Y共通ドライバ24A、走査ドライバ25及びX共通ドライバ101に出力する。アドレスドライバ23、Y共通ドライバ24A、走査ドライバ25及びX共通ドライバ101のそれぞれは制御回路27から入力される制御信号又は表示データと電源回路10から入力される上記各電圧とに基づいて、アドレス電極 A_j 、行電極 X_i 、 Y_i に所定の電圧を供給する。

【0004】アドレスドライバ40は、m本のアドレス電極 A_j のそれぞれに接続されたm個の出力端を有するAドライバ43と、当該m個のAドライバ43のそれぞれに対する、互いに同一の構成を有するシフトレジスタ41及びラッチ回路42とを備えており、アドレス電極 A_j にはA共通ドライバ39によって、所定の電圧が供給される。

【0005】他方、n本の行電極 Y_i のそれぞれに接続され、互いに同一の構成のn個のドライバから成るYドライバ252及び当該n個のドライバに対応した構成を有するシフトレジスタ251から成る走査ドライバ25と、Y共通ドライバ24Aとによって、行電極 Y_i に所定の電圧が供給される。

【0006】また、X共通ドライバ101は、上記電圧 V_d 、 V_{cc} 、 V_s 、 V_w 、 V_a 及び制御回路27からの所定の制御信号に基づいて、n本が共通に接続された行電極 X_i (このため、n本の行電極 X_i を総称して「行電極X」とも呼ぶ)に所定の電圧を一括に供給する。ここで、X共通ドライバ101のより具体的な構成を図11を用いて説明する。なお、図11では、PDP30をその容量成分ないしは負荷容量CLとして図示している。また、図11に示す構成と同等の構成は、特開平6-130914号公報中の図6ないしはエネルギー・リカバリー・サステイン・サーキット・フォア・ザ・ACプラズマディスプレイ(Energy Recovery Sustain Circuit for the AC Plasma Display, L・F・Weber, SID 87 DIGEST, P92-95, 1987)又は上記特開平9-97034号公報に開示されている。

【0007】図11において、X共通ドライバ101は接続点PLを介して負荷容量CLに接続されている。X共通ドライバ101は、上記接続点PLに接続された維

持電圧回路103と、当該維持電圧回路103に接続点P2を介して接続された無効電力回収回路(以下、「回収回路」とも呼ぶ)102とを備える。

【0008】図11に示すように、維持電圧回路103は、そのソース端子が電圧 V_s を出力する電源(図10の電源回路10中に備えられた出力端に相当)に接続されたPチャネルMOSFET3(以下、「MOSFET3」とも呼ぶ)と、そのソース端子が接地されたNチャネルMOSFET4(以下、「MOSFET4」とも呼ぶ)とを備え、両MOSFET3、4の各ドレイン端子は共通に2つの接続点PL及びP2に接続されている。

【0009】また、無効電力回収回路102において、その一端が上記接続点P2に接続されたインダクタL1の他端は、ダイオードD1のカソード端子及びダイオードD2のアノード端子に共通に接続されている(節点N102参照)。ダイオードD2のカソード端子はNチャネルMOSFET2(以下、「MOSFET2」とも呼ぶ)のドレイン端子に接続されている。当該MOSFET2のソース端子はPチャネルMOSFET1(以下、「MOSFET1」とも呼ぶ)のソース端子並びに接続点P1に接続され、接続点P1はコンデンサC1を介して接地されている(節点N101参照)。かかるコンデンサC1の容量は負荷容量CLと比べて充分大きい。そして、MOSFET1のドレイン端子は上記ダイオードD1のアノード端子に接続されている。また、上記MOSFET1~4は、各々のゲート端子に入力される制御回路27からの制御信号によってスイッチとして機能する。なお、以下の説明では、図11において、回収回路102内のコンデンサC1を除いて破線で囲んだ構成を「(無効電力)回収回路用駆動回路102A」と呼ぶ。

【0010】回収回路102では、放電セル30C(図10参照)における放電の終了後に、MOSFET1、3及び4をOFF状態に制御し且つMOSFET2をON状態に制御することによって負荷容量CLとコンデンサC1との間にインダクタL1、ダイオードD1、MOSFET2を介した導通経路を形成して、負荷容量CLに蓄積された電荷ないしはエネルギーをコンデンサC1に回収する。このとき、コンデンサC1とインダクタL1とにより構成される共振回路によって、接続点P1の電圧VP1(即ち、コンデンサC1の両端間の電圧)は上昇する一方、接続点PLの電圧VPL(即ち、負荷容量CLの両端間の電圧)は接地電位(0V)近くまで下降する。そして、電圧VPLが最も低くなった時点(換言すれば、電圧VP1が最大値になった時点)においてMOSFET4をON状態に制御して、電圧VPLを接地電位に固定すると共に電圧VP1をその最大値に固定する。

【0011】その後、MOSFET2、3及び4をOFF状態に制御し且つMOSFET1をON状態に制御することによってコンデンサC1と負荷容量CLとの間に

10

20

30

40

50

MOSFET1、ダイオードD1、インダクタL1を介した導通経路を形成して、コンデンサC1に蓄積された電荷ないしはエネルギーを負荷容量CLに対して放出する。このとき、コンデンサC1とインダクタL1とにより構成される共振回路によって、接続点P1の電圧VP1は減少する一方、接続点PLの電圧VPLは上述の電圧VP1の最大値に略等しい電圧値にまで上昇する。そして、電圧VPLが最も高くなった時点においてMOSFET3をON状態に制御して、電圧VPLを電圧値Vsに固定する。かかる動作により、放電セル30C(図10参照)において放電が発生する。

【0012】以上の一連の動作は、コンデンサC1及びインダクタL1より成る共振回路に基づく動作であり、かかる一連の動作が継続されることによってコンデンサC1は負荷容量CLに対してエネルギーないしは電荷の回収・放出を繰り返す(このため、コンデンサC1を「(無効電力)回収コンデンサC1」とも呼ぶ)。このとき、接続点P1の電位VP1は自動的にVs/2に固定される。例えば電圧Vs=180Vのときには、電圧VP1=90Vになる。

【0013】

【発明が解決しようとする課題】従来の無効電力回収回路102では、PDPの画像表示を停止した後あるいはプラズマディスプレイ装置の電源を切った後であっても、回収コンデンサC1に大量の電荷が蓄積されてその両端の電圧が100V近い高電圧を保持する場合がある。他方、上述のPDPの表示停止中等の場合において、図11中のMOSFET1~4はOFF状態にあり、制御されていない。このため、かかる状態において、例えばMOSFET1のゲート端子にそのソース・ドレイン間を導通しうる程のノイズが印加されると、回収コンデンサC1に蓄積されている電荷が上記MOSFET1、ダイオードD1、インダクタL1を介して負荷容量CLに移動する場合がある。かかる電荷の移動によりPDPの各放電セルでは意図しない放電(異常放電)が生じ、その結果として、PDPの画像表示を再開した際に全面書き込み放電や維持放電等が正常に放電を開始しないあるいは放電が継続しないという事態が生じうる(問題点(i))。

【0014】また、上述の電荷の移動後に、ノイズによってMOSFET1~4がON状態(導通状態)になると、耐圧以上の電圧がMOSFETに印加されることになり、MOSFETの故障が発生する場合がある(問題点(ii))。

【0015】加えて、上述の画像表示停止中等において回収コンデンサC1が高い電圧を保持しているときには、回収コンデンサC1自体は勿論プラズマディスプレイ装置内の他の構成部品に不必要に電気的なストレスを与え続けてしまう(問題点(iii))。

【0016】また、プラズマディスプレイ装置の検査や

修理は、回収コンデンサC1の両端の電圧を十分に下げた後に行う必要があるため、回収コンデンサC1に蓄積された電荷を放電又は放出させるための治具を別途に準備しなければならない(問題点(iv))。

【0017】本発明は、上記の問題点(i)~(iv)に鑑みてなされたものであり、必要性が低い又は無い場合に回収コンデンサが高い電圧を保持することを有効に回避しうるPDP用駆動回路を提供することを第1の目的とする。

10 【0018】更に、上記第1の目的を簡略且つ安価な構成で以て実現可能であり、しかも信頼性に富むPDP用駆動回路を提供することを第2の目的とする。

【0019】加えて、上記第1及び第2の目的を実現しうるPDP用駆動回路を備えるプラズマディスプレイ装置を提供することを第3の目的とする。

【0020】

【課題を解決するための手段】(1)請求項1に記載の発明に係るプラズマディスプレイパネル用駆動回路は、所定の間隔を保って互いに平行に配設された一対の第1電極及び第2電極を有し、前記第1電極及び前記第2電極に直交する方向に配設された第3電極を有するプラズマディスプレイパネルを駆動するための駆動回路であって、その一端が前記第1電極乃至第3電極の内の少なくともいずれか一つの電極側に接続されると共に、その他端が接地されて、前記プラズマディスプレイパネルの容量成分との間でエネルギーの回収及び放出を行うコンデンサと、前記コンデンサに並列に接続され、その主経路の導通又は非導通を制御する制御端子を有するスイッチング素子とを備えることを特徴とする。

30 【0021】(2)請求項2に記載の発明に係るプラズマディスプレイパネル用駆動回路は、請求項1に記載のプラズマディスプレイパネル用駆動回路であって、前記スイッチング素子に直列に接続されて、前記スイッチング素子と共に前記コンデンサの両端子間に並列に接続された電流制限素子を更に備えることを特徴とする。

【0022】(3)請求項3に記載の発明に係るプラズマディスプレイパネル用駆動回路は、請求項2に記載のプラズマディスプレイパネル用駆動回路であって、前記電流制御素子は抵抗であることを特徴とする。

40 【0023】(4)請求項4に記載の発明に係るプラズマディスプレイパネル用駆動回路は、請求項1乃至3のいずれかに記載のプラズマディスプレイパネル用駆動回路であって、前記スイッチング素子は半導体装置で構成されることを特徴とする。

【0024】(5)請求項5に記載の発明に係るプラズマディスプレイパネル用駆動回路は、請求項1乃至3のいずれかに記載のプラズマディスプレイパネル用駆動回路であって、前記スイッチング素子は電磁開閉器であることを特徴とする。

50 【0025】(6)請求項6に記載の発明に係るプラズ

マディスプレイ装置は、請求項1乃至5のいずれかに記載の前記プラズマディスプレイパネル用駆動回路と、少なくとも所定の間隔を保って配置された一対の第1電極及び第2電極を有するプラズマディスプレイパネルと、高電圧電源供給部と低電圧電源供給部とから成る電源回路と、所定の信号に基づいて制御信号を生成して、当該制御信号を前記スイッチング素子の前記制御端子と前記高電圧電源供給部の駆動回路とに出力する制御回路とを備えることを特徴とする。

【0026】(7) 請求項7に記載の発明に係るプラズマディスプレイ装置は、請求項6に記載のプラズマディスプレイ装置であって、前記所定の信号とは高電圧電源供給部からの出力電圧であり、前記制御回路は、前記出力電圧が正常値であるか否かを判定して、当該判定に基づく前記制御信号を生成して出力することを特徴とする。

【0027】(8) 請求項8に記載の発明に係るプラズマディスプレイ装置は、請求項6に記載のプラズマディスプレイ装置であって、前記所定の信号とは低電圧電源供給部からの出力電圧であり、前記制御回路は、前記出力電圧が正常値であるか否かを判定して、当該判定に基づく前記制御信号を生成して出力することを特徴とする。

【0028】(9) 請求項9に記載の発明に係るプラズマディスプレイ装置は、請求項6に記載のプラズマディスプレイ装置であって、前記所定の信号とは入力映像信号及び入力同期信号であり、前記制御回路は、前記入力映像信号と前記入力同期信号との少なくとも一方が欠落しているか否かを判定して、当該判定に基づく前記制御信号を生成して出力することを特徴とする。

【0029】(10) 請求項10に記載の発明に係るプラズマディスプレイ装置は、請求項6乃至9のいずれかに記載のプラズマディスプレイ装置であって、前記制御回路から出力される前記制御信号に基づいて、前記高電圧電源供給部からの前記出力電圧の供給が停止されると共に前記スイッチング素子が導通状態に制御されることを特徴とする。

【0030】

【発明の実施の形態】以下に説明する実施の形態1乃至3では、従来のX共通ドライバ101(図10及び図11参照)に相当するX共通ドライバ中に設けられた、PDP用駆動回路である(無効電力)回収回路に特徴がある。このため、かかる点を中心に説明するものとし、図10又は図11中の構成要素と同等のものには同一の符号を付して、既述の説明を援用する(この場合、行電極 X_i が「第1電極」に該当する)。また、実施の形態1乃至3に係る回収回路を図10に示した従来のY共通ドライバ24A中に設けても良い(この場合、行電極 Y_i が「第2電極」に該当する)。さらに、以下に説明する実施の形態1乃至3に係る回収回路を、図10に示すA

共通ドライバ39中に設けても良い(この場合、アドレス電極 A_j が「第3電極」に該当する。実施の形態1乃至3に係る各回収回路は、X共通ドライバ中、Y共通ドライバ中、A共通ドライバ中のいずれか1つ、すなわち第1電極、第2電極、第3電極の少なくともいずれか1つの電極に対応して接続される点に特徴を有する。なお、図7を除く図1～図9では、図11中の破線で囲んだ「回収回路用駆動回路102A」、「維持電圧回路103」はブロック化して図示している。

【0031】(実施の形態1) 図1は実施の形態1に係る回収回路22を備えるX共通ドライバ21とPDPの容量成分(以下、「負荷容量」とも呼ぶ)CLとの接続形態を示す回路図であり、図11に示す従来の接続形態に対応する。

【0032】図1に示すように、負荷容量CLの一端が(図10に示すようにn本の行電極 X_i (第1電極)が共通に)接続点PLを介してX共通ドライバ21の出力端ないしは維持電圧回路103の出力端である一端(図11の節点N103参照)に接続されている。そして、維持電圧回路103の他端(図11の節点N103参照)は接続点P2を介して無効電力回収回路22ないしは回収回路用駆動回路102Aの一端(図11のインダクタL1の一端)に接続されている。更に、回収回路用駆動回路102Aの他端は接続点P1を介して無効電力回収コンデンサ(以下、「(無効電力)回収コンデンサ」とも呼ぶ)C1の一端に接続され、当該回収コンデンサC1の他端は接地されている。

【0033】特に、実施の形態1に係る回収回路22では、回収コンデンサC1の上記一端にスイッチング素子SWの主経路の一端が接続され、その他端は回収コンデンサC1の上記他端に接続されている。即ち、回収コンデンサC1に並列にスイッチング素子SWが接続されている。スイッチング素子SWは制御端子23を備えており、かかる制御端子23に入力される制御信号に基づいて同スイッチング素子SWの主経路の導通状態(ON状態)あるいは非導通状態(OFF状態)の制御が可能である。なお、以下の説明では、図1に示すように、スイッチング素子SWと回収コンデンサC1との2つの節点について、接続点P1側のそれを「節点N1」と呼び、接地側のそれを「節点N2」と呼ぶ。

【0034】このとき、制御端子23に入力する制御信号によってスイッチング素子SWをOFF状態にするときには、回収コンデンサC1は負荷容量CLとの間でインダクタL1(図11参照)を介してエネルギーの回収・放出ないしは電荷の充放電を行うことができる。これに対して、スイッチング素子SWをON状態にするときには、回収コンデンサC1に蓄積されているエネルギーないしは電荷をスイッチング素子SWの主経路を介して放出させて、回収コンデンサC1の両端間の電圧を電圧値0Vにまで下げることができる。

【0035】このため、実施の形態1に係る回収回路22ないしはX共通ドライバ21では、例えばPDPの画像表示が停止した場合に制御端子23にスイッチング素子SWをON状態にするための制御信号を入力すれば、回収コンデンサC1の両端間の電圧を確実に下げることができる。これによって、画像表示動作の停止中のPDPにおいて回収コンデンサC1からPDP側への電荷の移動を無くすることができるため、異常放電等のPDPないしはプラズマディスプレイ装置の動作時の不具合を生じることが全く無い。更に、従来の回収回路102とは異なり、上述の画像表示停止中やプラズマディスプレイ装置の不具合発生時にスイッチング素子をON状態にするときには、回収コンデンサC1に保持された高電圧に起因して他の構成部品に与える電気的なストレスを格段に低減することができる。また、スイッチング素子SWはプラズマディスプレイ装置内に備えられているので、従来のプラズマディスプレイ装置のように回収コンデンサC1に蓄積された電荷を放出させるための治具を別途に準備する必要が全くない。

【0036】以下に、スイッチング素子SWの具体的な構成を説明する。図2は、スイッチング素子SWの一例としてNチャネルMOSFETを適用した場合の無効電力回収回路221及びX共通ドライバ211の回路図である。図2に示すように、特に、回収コンデンサC1の上記一端ないしは節点N1にNチャネルMOSFET5（以下、単に「MOSFET5」とも呼ぶ）のドレイン端子が接続され、MOSFET5のドレイン端子は回収コンデンサC1の上記他端ないしは節点N2に接続されて接地されている。

【0037】このとき、MOSFET5のゲート端子231が図1中の制御端子23に該当し、ゲート端子231に所定の電圧を印加してドレインソース間を導通状態にすることによって図1のスイッチング素子SWのON状態が実現され、ゲート端子231の電圧を接地電位にして上記ドレインソース間を非導通状態にすることによってスイッチング素子SWのOFF状態が実現される。

【0038】また、例えばプラズマディスプレイ装置内に電源として動作する大容量のコンデンサを準備するときには、プラズマディスプレイ装置の電源がOFF状態になった後でも上記大容量コンデンサを電源として用いることによってMOSFET5を駆動させて、回収コンデンサC1の電圧を下げる事が可能である。

【0039】このようにスイッチング素子SWとしてMOSFET5を適用した場合には、小型化され且つ信頼性の高いスイッチング素子SWを低コストで実現することができるという利点がある。なお、NチャネルMOSFET5の代わりに、PチャネルMOSFETやそのベース端子が制御端子23に該当するバイポーラ型トランジスタ等のように制御端子を有し、当該制御端子に入力

する信号によってスイッチング動作を実行可能な半導体装置を用いても良い。

【0040】次に、スイッチング素子SWの他の一例として電磁開閉器であるリレーを適用した場合について、図3に示す無効電力回収回路222及びX共通ドライバ212を用いて説明する。図3に示すように、回収コンデンサC1の上記一端ないしは節点N1にリレーKの主経路の一端が接続され、リレーKの上記主経路の他端は回収コンデンサC1の上記他端ないしは節点N2に接続されて接地されている。

【0041】このとき、リレーKの電磁石を励起して上記主経路の導通状態／非導通状態を制御するための制御端子232が図1中のスイッチング素子SWの制御端子23に該当する。かかる回収回路222では、制御端子232に所定の電流を与えることにより電磁石を励起して上記主経路を導通状態にするときには図1のスイッチング素子SWのON状態が実現され、制御端子232に与えている電流を切ってリレーKの上記主経路を非導通状態にするときにはスイッチング素子SWのOFF状態が実現される。

【0042】このようにスイッチング素子SWとしてリレーのような電磁開閉器を適用するときには、特に、回収コンデンサが大容量の場合や回収コンデンサに蓄積された電荷を当該スイッチング素子を介して放電ないしは放出する際の電流が大きい場合にも対応可能な回収回路を実現でき、安定的に回収コンデンサC1の電圧を下げる事ができるという利点がある。

【0043】また、上述の動作とは逆に制御端子232に所定の電流が与えられた時に主経路が非導通状態になり、上記所定の電流の供給が断たれたときに主経路が導通状態になるリレーを用いる場合には、例えばプラズマディスプレイ装置の電源がOFF状態になり、リレーKの制御端子に電源の供給が無くなった時点において、回収コンデンサC1の電圧を下げる事が可能である。

【0044】（実施の形態2）図4は、実施の形態2に係る回収回路32を備えるX共通ドライバ31を示す回路図である。なお、既述の図1～図3中の構成要素と同等のものには同一の符号を付して、その詳細な説明は既述の説明を援用するに留める。

【0045】図4に示すように、特に、回収回路32は、図1の回収回路22に対して、節点N1とスイッチング素子SWとの間に挿入された電流制限素子LMを更に備える。詳細には、回収コンデンサC1の上記一端ないしは節点N1に電流制限素子LMの一端が接続され、当該電流制限素子LMの他端はスイッチング素子SWを介して回収コンデンサの上記他端ないしは節点N2に接続されている。即ち、スイッチング素子SWと電流制限素子LMとから成る直列回路が回収コンデンサC1と並列に接続されている。

【0046】回収回路32によれば、スイッチング素子

SWに流れる電流値を電流制限素子LMの電流制限値以内の値に制限することが可能であるので、スイッチング素子SWとして大電流用ないしは耐電力的に大きいスイッチング素子を用いる必要性を低くするあるいはその必要を全く無くすることができる。このため、実施の形態1に係る回収回路22と比較して、スイッチング素子SW（結果的に、回収回路32）の小型化、低コスト化を図ることができるという利点がある。

【0047】ここで、電流制限素子LMの一例として抵抗を適用し且つスイッチング素子SWとして既述のMOSFET5を用いた場合の無効電力回収回路321及びX共通ドライバ311を図5を用いて説明する。図5に示すように、回収回路321では、抵抗R（抵抗値r）とMOSFET5との直列回路が回収コンデンサC1に並列に接続されている。即ち、回収コンデンサC1の上記一端ないしは節点N1に抵抗Rの一端が接続され、当該抵抗Rの他端はMOSFET5のドレイン端子に接続され、そのソース端子は回収コンデンサC1の上記他端ないしは節点N2に接続されて接地されている。

【0048】回収回路321では、MOSFET5のゲート端子231の電圧を接地電位にしてドレインソース間を非導通状態にする（スイッチング素子SWをOFF状態にする）ときには、回収コンデンサC1と負荷容量CLとの間で電荷ないしはエネルギーの充放電を行うことができる。これに対して、MOSFET5のゲート端子231に所定の電圧を印加してドレインソース間を導通状態にする（スイッチング素子SWをON状態にする）と、回収コンデンサC1に蓄積されている電荷が抵抗を介して放電ないしは放出される。このとき、既述のようにPDPの動作時における接続点P1の電圧VP1は電圧値（ $V_s/2$ ）となることから、スイッチング素子SWであるMOSFET5のドレインソース間に流れる電流は、最大値で電流値（ $V_s/(2r)$ ）を超えることはない。

【0049】ここで、抵抗Rの抵抗値rが小さい場合には、電荷の放電ないしは放出の速度を速くすることができるが、スイッチング素子SWとして耐電力的に大きなものを使用する必要性が生じるので、上述の小型化及び低コスト化という利点を得られなくなる。他方、抵抗Rの抵抗値rが大きい場合には、電荷の放電ないしは放出に時間がかかってしまうので、PDPの画像表示停止中等において回収コンデンサC1からPDPへの電荷の移動の防止や他の構成部品に与える電気的なストレスの低減という既述の効果が希釈化されてしまう。このため、抵抗Rの抵抗値rは、かかる観点に基づいて個々のプラズマディスプレイ装置あるいは回収回路に対して個別具体的に最適値が選択される。

【0050】更に、図5に示す回路構成の代わりに既述の図2の構成においても、MOSFET5において、ゲートソース間電圧を一定値になるように制御すれば、

ドレインソース間に流れる電流はドレインソース間電圧に依存しない一定値とすることが可能である。かかる場合には、MOSFET5のみによってスイッチング素子SW及び電流制限素子LMの両方の機能を実現可能である。

【0051】（実施の形態3）実施の形態3では、上述の実施の形態1及び2で説明したスイッチング素子SWの具体的な制御方法を説明する。

【0052】図6は、実施の形態3に係るプラズマディスプレイ装置11の構成を模式的に示す図である。なお、図6並びに後述の図8及び図9ではその説明に必要な構成要素のみを抽出して図示しており、Y共通ドライバ、走査ドライバやアドレスドライバ等の他の構成要素は図10の従来の要素を用いることができる。なお、図6では、電源回路10を、プラズマディスプレイ装置内の各制御回路に対して供給する複数の所定の低電圧、例えば論理回路用の電圧値である5V等（以下、上記複数の所定の低電圧を総称して「低電圧VL」と呼ぶ）を生成して出力する制御用低電圧電源供給部（以下、「低電圧電源供給部」とも呼ぶ）SPLと、X共通ドライバ等の各表示回路を介してPDPの各電極に対して供給する複数の所定の高電圧、例えば維持放電電圧 $V_s=180$ V等（以下、上記複数の所定の高電圧を総称して「高電圧VH」と呼ぶ）を供給する表示用高電圧電源供給部（以下、「高電圧電源供給部」とも呼ぶ）SPHとに分類して図示している。

【0053】また、実施の形態3乃至後述の実施の形態5では、X共通ドライバとして実施の形態1に係るX共通ドライバ21を用いた場合を挙げて説明するが、勿論、実施の形態2に係る、電流制限素子LMを備えたX共通ドライバ31を用いても良い。

【0054】図6に示すように、実施の形態3に係るプラズマディスプレイ装置11は、図10の従来のプラズマディスプレイ装置20に対して既述のスイッチング素子SWと共に高電圧低下検出回路（制御回路）CHHを更に備えている。特に、高電圧低下検出回路CHHは、高電圧電源供給部SPHで生成された全ての出力電圧、即ち、高電圧VHが入力され、当該電圧VHの状態に応じた所定の制御信号ないしは状態信号CONTHを生成して、高電圧電源供給部SPH及びスイッチング素子SWの制御端子23に対して出力する。詳細には、高電圧低下検出回路CHHは、入力された高電圧VHに対して、（a）高電圧VHの全ての電圧が所定の電圧値（正常値）である状態又は（b）高電圧VHの内の少なくとも1つが所定の電圧値よりも低下している状態のいずれの状態にあるかを判定し、その判定結果に基づく上記状態信号CONTHを生成して出力する。

【0055】高電圧低下検出回路CHHとして、図7に示すように、例えば高電圧VHの内の1つである高電圧V1について、当該高電圧V1を抵抗R1、R2により

分圧して得られる低電圧 V_2 をA/D変換器15においてデジタル変換し、当該デジタル量に対して論理回路ないしはマイクロコンピュータ16において上述の判定処理を行う。このとき、例えば電圧 $V_1 = 90V$ の場合には抵抗 R_1 と抵抗 R_2 の各抵抗値を19:1の比率に設定すれば、電圧 $V_2 = 4.5V$ とすることができる。勿論、上述の判定処理及び状態信号CONTHの生成・出力を実現しうる限り、高電圧低下検出回路CHHとして他の構成を用いても良い。

【0056】このとき、プラズマディスプレイ装置11では、状態信号CONTHが上記(a)の状態を示す信号である場合には、高電圧電源供給部SPHは各表示回路への高電圧の供給を続けると共にスイッチング素子SWはOFF状態に制御されて、PDPの画像表示動作を行いうる。これに対して、状態信号CONTHが上記(b)の状態を示す信号である場合には、当該状態信号CONTHに基づいて、高電圧電源供給部SPHの駆動回路は適切に制御されて各表示回路への高電圧電源の供給を停止し、且つ、スイッチング素子SWはON状態に制御されて回収コンデンサC1に蓄積されている電荷を放電ないしは放出する。このため、例えば高電圧電源下で動作している回路部品の破損によるインピーダンス低下によって又は異物によるショートによって電流が増加して、高電圧電源供給部SPHの能力超過に起因する高電圧 V_H の低下等の不具合が生じた場合であっても、当該不具合の波及を有効に回避することができる。

【0057】(実施の形態4)図8は、実施の形態4に係るプラズマディスプレイ装置12の構成を模式的に示す図である。図8に示すように、プラズマディスプレイ装置12は、図6の高電圧低下検出回路CHHに換えて、低電圧低下検出回路(制御回路)CHLを備える。かかる低電圧低下検出回路CHLは、低電圧電源供給部SPLが生成する全ての低電圧、即ち、低電圧 V_L が入力され、当該入力された低電圧 V_L に対して、(c)低電圧 V_L の全ての電圧が所定の電圧値(正常値)である状態又は(d)低電圧 V_L の内の少なくとも1つが所定の電圧値よりも低下している状態のいずれの状態にあるかを判定し、その判定結果に基づいて制御信号ないしは状態信号CONTLを生成する。そして、当該状態信号CONTLを高電圧電源供給部SPH及びスイッチング素子SWの制御端子23に対して出力する。

【0058】低電圧低下検出回路CHLとして、例えばマイクロコンピュータシステムに用いられる、電源電圧の低下等の異常を検出して所定の信号を発生する電源電圧監視用システムリセットICを用いることができる。かかるシステムリセットICは、監視される低電圧と、その両端の電圧が上記被監視電圧(の正常値)にまで充電されたコンデンサの当該電圧値(被監視電圧よりも変動が小さい)とを比較して、上記被監視電圧の低下を検出するものである。勿論、上述の判定処理及び状態信号

CONTLの生成・出力を実現しうる限り、低電圧低下検出回路CHLとして他の構成を用いても良い。

【0059】プラズマディスプレイ装置12では、状態信号CONTLが上記(c)の状態を示す信号である場合には、高電圧電源供給部SPHは各表示回路への高電圧の供給を続けると共にスイッチング素子SWはOFF状態に制御されて、PDPの画像表示動作を行いうる。これに対して、状態信号CONTLが上記(d)の状態を示す信号である場合には、当該状態信号CONTLに基づいて、高電圧電源供給部SPHの駆動回路は適切に制御されて各表示回路への高電圧電源の供給を停止し、且つ、スイッチング素子SWはON状態に制御されて回収コンデンサC1に蓄積されている電荷を放電ないしは放出する。このため、例えば低電圧電源下で動作している回路部品の破損や異物によるショートが生じて、低電圧電源供給部SPLの出力電圧 V_L が低下するという不具合が生じた場合であっても、当該不具合の波及を有効に回避することができる。

【0060】(実施の形態5)図9は、実施の形態5に係るプラズマディスプレイ装置13の構成を模式的に示す図である。図9に示すように、プラズマディスプレイ装置13は、既述の電源回路10と共に、映像信号及び同期信号から成り外部から入力される複合映像信号の内の上記映像信号又は同期信号の内の少なくとも一方の欠落を検出する複合映像信号欠落検出回路(制御回路)CHIを備える。かかる複合映像信号欠落検出回路CHIは、アナログ信号である上記複合映像信号を入力信号とし、当該入力された複合映像信号の内の映像信号又は同期信号の内の少なくとも一方の欠落を検出して、その検出結果に基づいて制御信号ないしは状態信号CONTIを生成する。そして、当該状態信号CONTIを高電圧電源供給部SPH及びスイッチング素子SWの制御端子23に対して出力する。

【0061】ここで、複合映像信号自身の欠落を検出する方法として、例えば複合映像信号入力端子ないしはコネクタに複合映像信号が伝達されるケーブルが確実に挿入されているか否かを機械的スイッチ等の手段により検出する方法がある。また、映像信号の最大振幅の例えば2%~3%の大きさに設定された所定の比較値と、入力映像信号とを比較して、入力映像信号の振幅が上記比較値よりも小さい値であり且つ入力映像信号のその値が所定の期間(例えば1秒間)続いた場合には、映像信号が欠落していると判定する方法を適用しても良い。他方、同期信号の欠落を検出する方法として、例えば同期信号の周期毎設けられた検出窓に同期信号が存在しない場合に同期信号の欠落していると判定する方法が適用可能である。

【0062】勿論、他の方法を用いて映像信号又は同期信号の欠落を検出しても良い。更に、複合映像信号欠落検出回路CHIは、その複合映像信号から分離されてデ

ジタル変換して得られた、図10中に示す表示データDATA、垂直同期信号VSYNC及び水平同期信号HSYNCを入力信号として、これらの信号DATA、VSYNC及びHSYNCのそれぞれの欠落を検出することで上述の状態信号CONTIを生成する構成であっても良い。

【0063】このとき、複合映像信号欠落検出回路CHIが映像信号及び同期信号の双方とも欠落しておらず正常であることを示す状態信号CONTIを出力する場合には、高電圧電源供給部SPHは各表示回路への高電圧の供給を続けると共にスイッチング素子SWはOFF状態に制御されて、PDPは表示動作を行いうる。これに対して、状態信号CONTIが映像信号又は同期信号の内の少なくとも一方が欠落していることを示す信号である場合には、かかる状態信号CONTIに基づいて、高電圧電源供給部SPHの駆動回路は適切に制御されて各表示回路への高電圧電源の供給を停止し、且つ、スイッチング素子SWはON状態に制御されて回収コンデンサC1に蓄積されている電荷を放電ないしは放出する。このため、例えばPDPの画像表示が停止された状態であっても、回収コンデンサC1から負荷容量CLないしはPDPの電極に電荷が移動することがないので、画像表示が再開された際にそのような電荷移動による異常放電の発生を確実に防止することができる。加えて、かかる場合には、回収コンデンサC1の両端の電圧が0Vであると共に高電圧電源供給部SPHから高電圧VLが出力されていないので、プラズマディスプレイ装置13内の構成部品に不必要な電氣的ストレスを与え続けることが無いという利点もある。

【0064】以上の実施の形態1乃至5ではPDPが交流型PDPの場合について説明したが、実施の形態1乃至5の各説明はPDPとして直流型PDPを用いた場合にも適用される。

【0065】

【発明の効果】(1)請求項1に係る発明によれば、スイッチング素子を非導通状態にすることにより上記コンデンサはPDPの容量成分との間でエネルギーの回収及び放出を行う、無効電力回収コンデンサ(回収コンデンサ)として動作する。他方、スイッチング素子を導通状態にすることにより回収コンデンサに蓄積されているエネルギーないしは電荷を放出して当該コンデンサの両端の電圧を電圧値0にすることが可能である。このため、当該PDP用駆動回路をプラズマディスプレイ装置に用いた場合において、例えばPDPの画像表示の停止中に上記スイッチング素子を導通状態にするときには、従来のプラズマディスプレイ装置のように回収コンデンサに蓄積された電荷がPDPの電極へ移動することが全くないので、画像表示動作の再開時に異常放電が発生しないという効果を発揮する。このとき、画像表示の停止中に回収コンデンサの高電圧状態が原因となって当該回収コ

ンデンサ自身並びに他の部品に電氣的なストレスを与え続けることが無いという効果もある。

【0066】また、プラズマディスプレイの検査や修理等の前に上記スイッチング素子を導通状態にするときには、別途に治具を準備することなく回収コンデンサに蓄積された電荷を放出させて当該コンデンサの電圧を十分に低下させた後に検査等を行うことができる。このとき、例えばプラズマディスプレイ装置内に発生した不具合を検出した時点でPDPの駆動動作を停止させると共にスイッチング素子を導通状態に制御するときには、他の部品への不具合の波及並びに上述の電氣的なストレスに起因する新たな不具合の発生を有効に回避することができる。

【0067】(2)請求項2に係る発明によれば、スイッチング素子を導通状態にして回収コンデンサに蓄積された電荷を放出する際に、当該スイッチング素子に流れる電流を電流制限素子によって制限ないしは制御可能である。これにより、スイッチング素子として大電流用のものをを用いる必要性を無くすることができるという利点がある。

【0068】(3)請求項3に係る発明によれば、小型な電流制限素子を安価に実現することができる。

【0069】(4)請求項4に係る発明によれば、スイッチング素子として半導体装置を用いることで当該PDP用駆動回路の安定的なあるいは信頼性の高い動作を実現することができる。更に、小型なスイッチング素子を安価に構成できるという利点がある。

【0070】(5)請求項5に係る発明によれば、スイッチング素子として電磁開閉器を使用することで、回収コンデンサが大容量の場合や回収コンデンサに蓄積された電荷のスイッチング素子を介した放出に係る電流が大きい場合であっても、上記(1)～(3)の効果を確実に発揮することができる。

【0071】特に、その制御端子に入力される制御信号が断たれた場合に主経路を導通状態に制御可能な電磁開閉器を用いるときには、プラズマディスプレイ装置の電源がON状態からOFF状態に移移した場合であっても、回収コンデンサの電圧を低下させて、上述の(1)～(3)の効果をを得ることができる。

【0072】(6)請求項6に係る発明によれば、例えば上記所定の信号がプラズマディスプレイ装置内の不具合の発生に関する信号であるときには、上記制御回路によって高電圧供給部からの電源供給を停止させ、且つ、回収コンデンサの両端の電圧を低下させることができる。このため、他の部品に対する上記不具合の波及並びに高電圧状態の回収コンデンサに起因する電氣的なストレスが原因の新たな不具合の発生を有効に回避することができる。

【0073】(7)請求項7に係る発明によれば、高電圧電源供給部からの出力電圧に不具合が生じた旨の制御

信号に基づいて高電圧供給部からの電源供給を停止させ、且つ、回収コンデンサの両端の電圧を低下させるときには、上述の(6)の効果をすることができる。

【0074】(8)請求項8に係る発明によれば、低電圧電源供給部からの出力電圧に不具合が生じた旨の制御信号に基づいて高電圧供給部からの電源供給を停止させ、且つ、回収コンデンサの両端の電圧を低下させるときには、上述の(6)の効果をすることができる。

【0075】(9)請求項9に係る発明によれば、PDPの画像表示動作が停止された旨あるいは入力映像信号又は入力同期信号に不具合が生じた旨の制御信号に基づいて高電圧供給部からの電源供給を停止させ、且つ、回収コンデンサの両端の電圧を低下させるときには、上述の(6)の効果をすることができる。

【0076】特に、請求項9に係る発明によれば、PDPの画像表示動作の停止中においても回収コンデンサに蓄積された電荷がPDPの電極に移動することがない。このため、画像の表示再開時におけるPDPでの異常放電の発生を確実に抑制できる。

【0077】(10)請求項10に係る発明によれば、上記(6)～(9)の効果を確実に発揮しうるプラズマディスプレイ装置を提供することができる。

【図面の簡単な説明】

【図1】 実施の形態1に係る無効電力回収回路の構成を説明するための回路図である。

【図2】 実施の形態1に係る無効電力回収回路の構成を説明するための回路図である。

【図3】 実施の形態1に係る無効電力回収回路の構成を説明するための回路図である。

【図4】 実施の形態2に係る無効電力回収回路の構成を説明するための回路図である。

【図5】 実施の形態2に係る無効電力回収回路の構成を説明するための回路図である。

【図6】 実施の形態3に係る無効電力回収回路の構成を説明するための回路図である。

*

*【図7】 実施の形態3に係る高電圧低下検出回路の構成を模式的に示す回路図である。

【図8】 実施の形態4に係る無効電力回収回路の構成を説明するための回路図である。

【図9】 実施の形態5に係る無効電力回収回路の構成を説明するための回路図である。

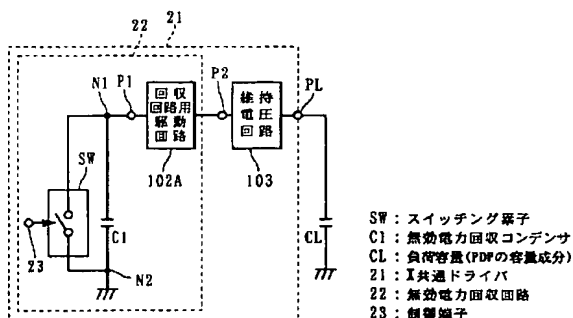
【図10】 従来のプラズマディスプレイ装置の全体の構成を模式的に示すブロック図である。

【図11】 従来のX共通ドライバの構成を模式的に示す回路図である。

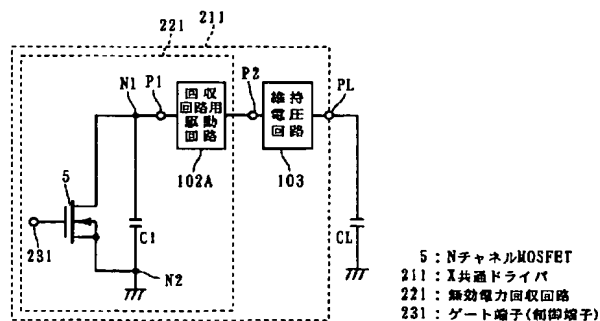
【符号の説明】

1～5 MOSFET(半導体装置)、10 電源回路、11～13 プラズマディスプレイ装置、15 A/D変換器、16 マイクロコンピュータ、21, 111, 211, 212 X共通ドライバ、22, 112, 221, 222 無効電力回収回路(PDP用駆動回路)、23 制御端子、30 交流面放電型PDP、39 A共通ドライバ、40 アドレスドライバ、41 シフトレジスタ、42 ラッチ回路、43 Aドライバ、102A 回収回路用駆動回路、103 維持電圧回路、231 ゲート端子(制御端子)、232 制御端子、Aj アドレス電極、C1 無効電力回収コンデンサ(コンデンサ)、CHH 高電圧低下検出回路、CHI 複合映像信号欠落検出回路、CHL 低電圧低下検出回路、CL 負荷容量、CONTH, CONTI, CONTL 状態信号(制御信号)、DATA 表示データ、HSYNC 水平同期信号、VSYNC 垂直同期信号、K リレー(電磁開閉器)、LM 電流制限素子、N1, N2 節点、P1, P2, PL 接続点、R 抵抗(電流制限素子)、R1, R2 抵抗、SPH 表示用高電圧電源供給部、SPL 制御用低電圧電源供給部、SW スwitchング素子、X, X1～Xn 行電極、Y1～Yn 行電極、V1, V2, VH, VL 電圧。

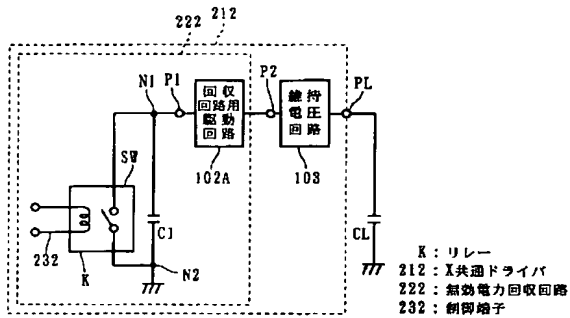
【図1】



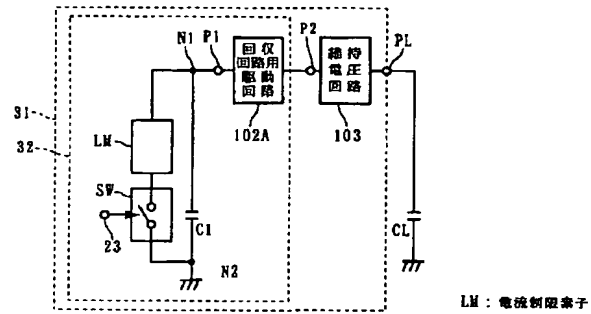
【図2】



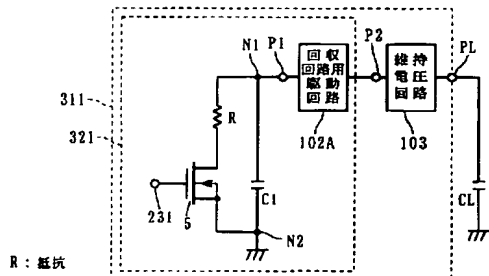
【図3】



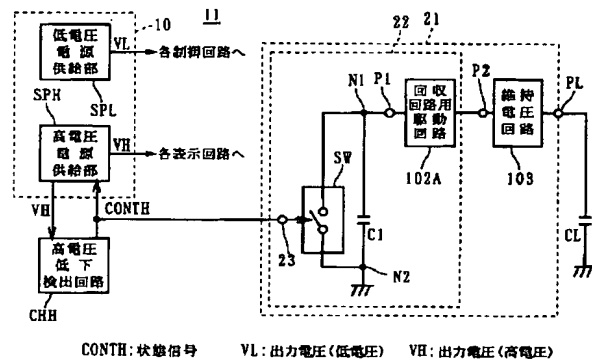
【図4】



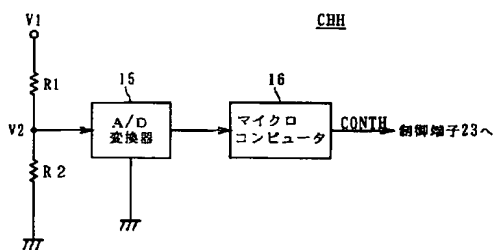
【図5】



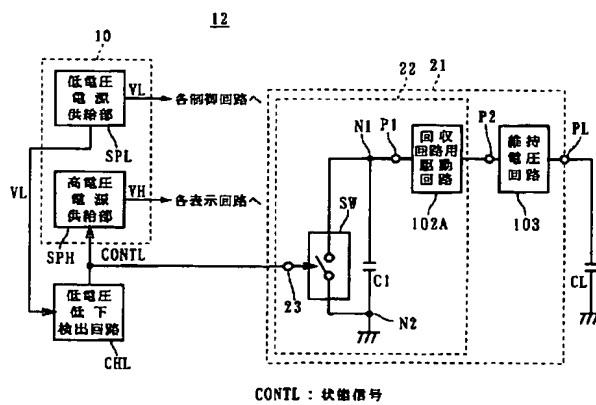
【図6】



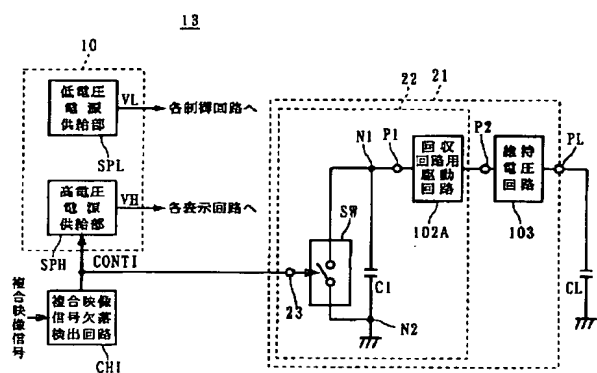
【図7】



【図8】

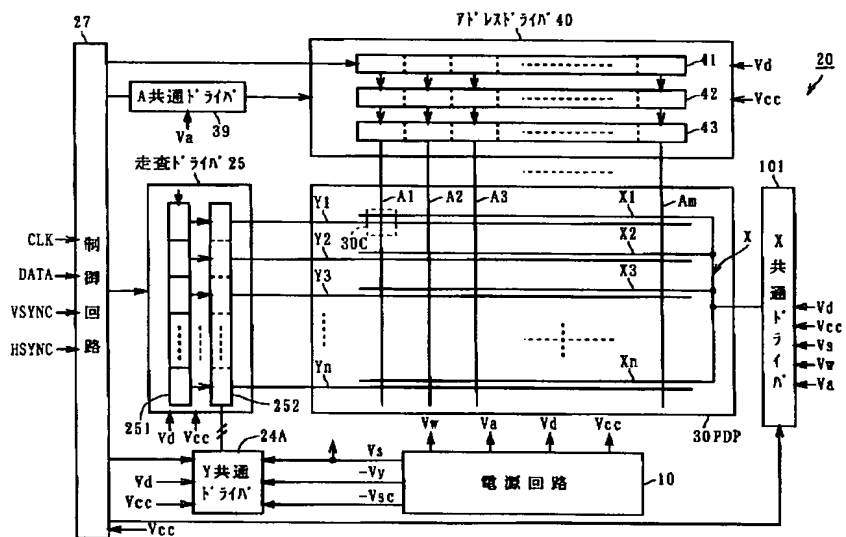


【図9】

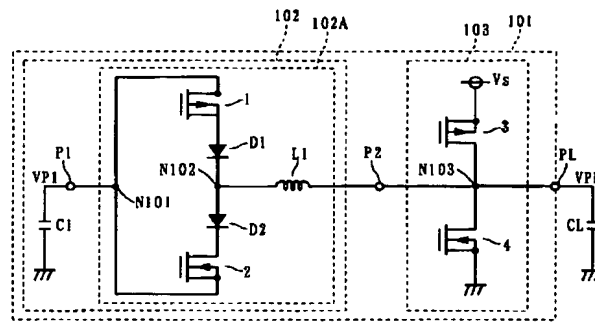


CONT1 : 狀態信號

【図 10】



【図11】



- 1, 3 : PチャネルMOSFET
 2, 4 : NチャネルMOSFET
 L1 : インダクタ
 C1 : 無効電力回収コンデンサ
 CL : 負荷容量 (FDPの容量成分)
 101 : X共進ドライバ
 102 : 無効電力回収回路
 103 : 維持電圧回路

フロントページの続き

(51)Int.Cl.⁷

H04N 5/66

識別記号

101

F I

H04N 5/66

テーマコード (参考)

101B